



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 42 13 945 A 1

51 Int. Cl.⁵:
H 01 L 27/108
H 01 L 21/72

21 Aktenzeichen: P 42 13 945.7
22 Anmeldetag: 28. 4. 92
43 Offenlegungstag: 5. 11. 92

DE 42 13 945 A 1

30 Unionspriorität: 32 33 31
29.04.91 US 692859

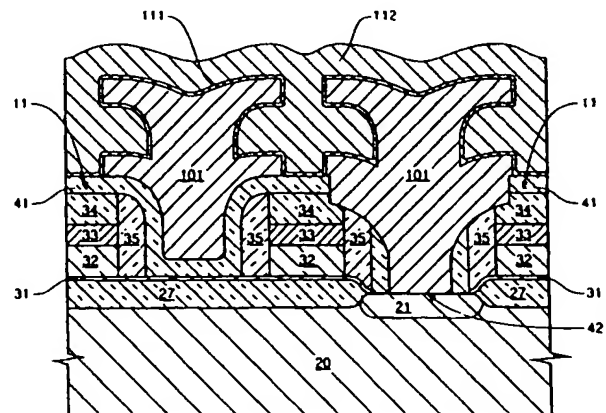
71 Anmelder:
Micron Technology, Inc., Boise, Id., US

74 Vertreter:
Klunker, H., Dipl.-Ing. Dr.rer.nat.; Schmitt-Nilson, G.,
Dipl.-Ing. Dr.-Ing.; Hirsch, P., Dipl.-Ing.,
Pat.-Anwälte, 8000 München

72 Erfinder:
Fazan, Pierre; Chan, Hiang C., Boise, Id., US

54 Speicherkondensator und Verfahren zu dessen Herstellung

57 Offenbart ist ein Herstellungsverfahren für einen dreidimensionalen Stapelkondensator mit I-förmigem Querschnitt, der auch als SIC-Zelle bezeichnet wird. Der SIC definiert eine Kondensatorspeicherzelle, die bei der vorliegenden Erfindung bei einem DRAM-Prozeß zur Verwendung kommt. Der SIC ist aus einer Polysilizium-Speicherknotenstruktur (101) mit I-förmigem oberem Querschnittsbereich gebildet, wobei sich ein unterer Bereich nach unten erstreckt und über einen vergrabenen Kontakt (42) Kontakt zu einem aktiven Bereich (21) herstellt. Die Polysilizium-Speicherknotenstruktur (101) ist unter Zwischenschaltung eines Dielektrikums (111) von Polysilizium (112) überlagert, um dadurch einen fertigen SIC-Kondensator zu bilden. Die neuartige dreidimensional ausgebildete Polysilizium-Speicherknotenplatte (101) mit einstellbarem I-förmigen Querschnitt gestattet im Vergleich zu einer herkömmlichen STC-Zelle eine beträchtliche Steigerung der Kondensatorplattenoberfläche an dem Speicherknoten von 200% oder mehr.



: 42 13 945 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf Halbleiterschaltungs-Speichervorrichtungen und betrifft ein Verfahren zur Herstellung von in hochdichten DRAM-Anordnungen (Dynamic Random Access Memory-Anordnungen) verwendeten dreidimensionalen Stapelzellen-Kondensatoren.

Bei dynamischen Halbleiter-Speichervorrichtungen ist es wesentlich, daß die Zellenplatten der Speicherknoten-Kondensatoren trotz parasitärer Kapazitäten und trotz Rauschens, die während des Betriebs der Schaltung auftreten können, groß genug sind, um einen angemessene Ladung oder Kapazität beizubehalten. Wie es bei den meisten integrierten Halbleiterschaltungen der Fall ist, nimmt die Speicherdichte mit einer ziemlich konstanten Rate weiter zu. Der Gesichtspunkt der Aufrechterhaltung der Speicherknotenkapazität ist von besonderer Bedeutung, wenn die Dichte von DRAM-Anordnungen für zukünftige Generationen von Speichervorrichtungen weiter erhöht wird.

Die Fähigkeit, Speicherzellen dicht zu packen und dabei die erforderlichen Speicherfähigkeiten aufrechtzuerhalten, ist eine Hauptanforderung an Halbleiterherstellungstechnologien, wenn zukünftige Generationen erweiterter Speichervorrichtungen erfolgreich hergestellt werden sollen.

Ein Verfahren zum Aufrechterhalten sowie zum Erhöhen der Speicherknotengröße in dichtgepackten Speichervorrichtungen besteht in der Verwendung des "Stapelspeicherzellen"-Aufbaus. Bei dieser Technologie werden zwei oder mehr Schichten eines leitfähigen Materials, wie z. B. polykristallines Silizium (im folgenden auch kurz "Polysilizium" genannt), über einer Zugriffsvorrichtung auf einem Siliziumwafer aufgebracht, wobei dielektrische Schichten sandwichartig zwischen jeder Polysiliziumschicht angeordnet werden. Eine auf diese Art und Weise ausgebildete Zelle ist als Stapelkondensatorzelle (STC) bekannt. Eine derartige Zelle nutzt den Raum über der Zugriffsvorrichtung für Kondensatorplatten, weist eine geringe Soft Error Rate (SER) auf und kann in Verbindung mit zwischen den Platten vorgesehenen isolierenden Schichten hoher Dielektrizitätskonstante eingesetzt werden.

Es ist jedoch schwierig, mit einem herkömmlichen STC-Kondensator eine ausreichende Speicherkapazität zu erhalten, da der Speicherelektrodenbereich auf die Grenzen seines eigenen Zellenbereichs beschränkt ist. Auch wird das Aufrechterhalten einer guten dielektrischen Durchschlagfestigkeit zwischen Polysiliziumschichten in dem STC-Kondensator zu einem großen Problem, sobald die Dicke des Isolators angemessen dimensioniert ist.

Ein unter dem Titel "3-Dimensional Stacked Capacitor Gell for 16M and 64M DRAMS" von T. Ema et al. verfaßter Artikel in IEDM, Dig. Tech. Papers, Seiten 592 bis 595, 1988, der hierin durch Bezugnahme aufgenommen wird, befaßt sich mit einer dreidimensionalen Stapelkondensator-Flossenstruktur.

Die Flossenstruktur und ihre Entwicklung sind in dem vorstehend genannten Artikel in Fig. 1 auf Seite 593 dargestellt. Der Speicherknoten wird durch zwei als Flossen bezeichnete Polysiliziumschichten mit Lücken zwischen den Flossen gebildet (die Anzahl der Flossen kann erhöht werden, ist jedoch durch die verwendeten Gestaltungsregeln begrenzt). Eine Kondensator-Dielektrikumschicht umgibt die gesamte Oberfläche der Polysiliziumflossen (die für eine Kondensatorzelle gebildet werden).

te verwendet werden), die die Flossen bedeckt und die Lücken füllt. Diese Ausbildung kann unter Verwendung derzeitiger Verfahren hergestellt werden und erhöht die Speicherkapazität, ist jedoch nicht für eine DRAM-Zelle geeignet, die nach den Regeln aufgebaut ist, welche für ein Design im tiefen Submikrometer-Bereich (wie z. B. 0,2 µm) gelten, da die Gesamtdicke der mehreren die Zellenplatten bildenden Flossen viel größer ist als die minimale Merkmalsgröße. Der zur Realisierung der Flossenstruktur erforderliche Prozeßablauf macht außerdem eine exakte Ausrichtung zwischen zwei benachbarten Wortleitungen und Bitstellenleitungen bzw. Ziffernleitungen erforderlich. Diese Ausrichtung, zusammen mit dem Erfordernis, daß das Speicherknoten-Polysilizium den Speicherknotenkontakt überlappt, führt zu einem größeren Zellenbereich, der nicht für die vorstehend erwähnten Regeln für ein 0,2 µm-Design geeignet ist.

Auch ein von T. Kisu et al. verfaßter Artikel mit dem Titel "A Novel Storage Capacitance Enlargement Structure Using a Double-Stacked Storage Note in STC DRAM Gell", Ext. Abst., 20th Conf. on S.S.D.M., Seiten 582 bis 584, 1988, der durch Bezugnahme hierin aufgenommen wird, befaßt sich mit einem aus einer herkömmlichen STC-Struktur gebildeten Doppelstapel-Speicherknoten, der parallel zu Wortleitungen verläuft. Die Entwicklung des in dem vorstehend genannten Artikel erörterten Doppelstapel-Speicherknotens erfordert im Vergleich zu einem herkömmlichen STC-Prozeß zwei zusätzliche Photomaskierschritte. Wie in Fig. 1a auf Seite 582 zu sehen ist, wird ein erster Photomaskierschritt zur Bildung eines vergrabenen Kontakts zwischen dem ersten Speicherknoten und dem darunter liegenden Substrat benötigt. Ein zweiter Photomaskierschritt wird dann zur Mustergebung des ersten Speicherknotens benötigt. Wie in Fig. 1b zu sehen ist, wird ein dritter Photomaskierschritt zur Schaffung einer Öffnung durch die dielektrischen Schichten aus SiO₂ und Si₃N₄ benötigt, um Zugang zu dem ersten Speicherknoten zu schaffen. Danach wird ein vierter Photomaskierschritt zur Mustergebung des zweiten Speicherknotens benötigt, der mit dem ersten Speicherknoten in Verbindung steht.

Die vorliegende Erfindung entwickelt einen bestehenden Herstellungsprozeß für Stapelkondensatoren weiter, um unter Hinzufügung von nur einem photolithographischen Schritt eine dreidimensionale Stapelkondensatorzelle zu bilden. Die Bodenplatte oder Speicherknotenplatte des Kondensators verläuft parallel zu Ziffernleitungen und ist mit dem aktiven Bereich eines Zugriffstransistors über einen selbstausgerichteten vergrabenen Kontakt oder Speicherknotenkontakt verbunden.

Außerdem braucht der Speicherknoten nicht in kritischer Weise auf den Speicherknotenkontakt ausgerichtet zu werden, wodurch die Bildung einer kleineren Zellenfläche für eine gegebene lithographische Auflösung ermöglicht ist.

Die Erfindung ist darauf gerichtet, die Speicherzellen-Oberflächen ausdehnung in einem Herstellungsverfahren für hochdichte/großvolumige DRAMs zu maximieren. Ein bestehendes Stapelkondensator-Herstellungsverfahren wird modifiziert, um einen dreidimensionalen Stapelkondensator zu bilden, der im folgenden als I-förmige Stapelkondensatorzelle (SIC) bezeichnet wird. Die SIC-Ausbildung definiert eine Kondensatorspeicherzelle, die bei der vorliegenden Erfindung bei einem

mann jedoch klar ist, daß diese Schritte auch in anderen Speicherzellen benötigten Prozessen, wie z. B. bei VRAMs oder dergl., integriert werden können.

Nach Vorbereitung eines Siliziumwafers unter Verwendung herkömmlicher Verfahrensschritte schafft die vorliegende Erfindung die SIC-Zelle durch Niederschlagen und Mustergebung von zwei miteinander in Verbindung stehenden Schichten aus Polysilizium, die in speziellen Bereichen voneinander getrennt sind, um die parallel zu Ziffernleitungen verlaufende Speicherknotenstruktur mit I-förmigem Querschnitt zu bilden. Die gesamte I-förmige Struktur ist angepaßt an die durch zwei benachbarte Ziffernleitungen, die senkrecht zu und über der Oberseite von drei benachbarten Wortleitungen verlaufen, gebildete Topographie des Wafers, wodurch sich ein vergrößerter Kondensatorplatten-Oberflächenbereich für jede Speicherzelle ergibt. Eine derartige Struktur stellt eine enorme Verbesserung gegenüber der SIC-Zelle dar, indem sie den für einen Speicherknoten zur Verfügung stehenden Flächenbereich maximiert.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Die Erfindung und Weiterbildungen der Erfindung werden im folgenden anhand der zeichnerischen Darstellungen eines Ausführungsbeispiels noch näher erläutert. In den Zeichnungen zeigen:

Fig. 1 eine Querschnittsansicht einer fertigen SIC-Zelle gemäß der vorliegenden Erfindung;

Fig. 2 eine Draufsicht auf einen Teil eines im Herstellungsprozeß befindlichen Wafers unter Darstellung von Ziffernleitungen, Wortleitungen und Speicherkondensatoren;

Fig. 3 eine Querschnittsansicht entlang der unterbrochenen Linie A-A der Fig. 2;

Fig. 4 eine Querschnittsansicht entlang der unterbrochenen Linie B-B der Fig. 2;

Fig. 5 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 4 nach dem Niederschlag eines konformen Dielektrikums über bestehenden Ziffernleitungen, gefolgt von Photoresist- und Ätzschritten an einem vergrabenen Kontakt;

Fig. 6 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 5 nach dem Aufbringen einer ersten Polysiliziumschicht, planarer Ausbildung sowie Dotierung, gefolgt von einem dicken Niederschlag eines ersten Oxids;

Fig. 7 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 6 nach Mustergebung und Ätzen des ersten Oxids;

Fig. 8 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 7 nach Entfernen eines Photoresist, einem zweiten Oxid-Niederschlag und einem zweiten Oxid-Ätzvorgang zur Bildung von Abstandselementen;

Fig. 9 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 8 nach einem konformen Niederschlag und einer Dotierung einer zweiten Polysiliziumschicht;

Fig. 10 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 9 nach der Mustergebung und Ätzung der zweiten Polysiliziumschicht, gefolgt von einem Oxid-Naßätzschritt;

Fig. 11A eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 10 nach einem ersten Polysiliziumätzvorgang und Entfernen des Photoresist;

Fig. 11B eine zweidimensionale Ansicht einer Spei-

cherknoten-Zellenplatte, die gemäß der vorliegenden Erfindung gebildet ist; und

Fig. 12 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferteils der Fig. 11A nach Abdeckniederschlägen von konformem Zellendielektrikum sowie einer dritten Polysiliziumschicht.

Die Erfindung ist darauf gerichtet, den Speicherzellen-Oberflächenbereich in einem Herstellungsverfahren zur Herstellung von hochdichten/großvolumigen DRAMs zu maximieren, und zwar in einer Abfolge, wie sie in den Fig. 2 bis 12 dargestellt ist.

Ein Siliziumwafer wird unter Verwendung herkömmlicher Herstellungsschritte bis zu dem Punkt des Festlegens einer Zellenanordnung vorbereitet. Daran schließt sich die Herstellung von Wortleitungen, Ziffernleitungen sowie einer Kondensatorzelle gemäß der vorliegenden Erfindung wie folgt an:

Der Kondensator jeder Zelle stellt eine Verbindung mit einem vergrabenen bzw. verborgenen Kontakt innerhalb der Zelle her, während sich der Kondensator bis zu dem aktiven Bereich einer benachbarten Zelle erstreckt. Alle aktiven Bereiche innerhalb der Anordnung sind durch ein dickes Feld-Oxid voneinander getrennt. Die aktiven Bereiche sind in ineinandergreifenden Spalten bzw. Kolonnen und nicht-ineinandergreifenden Reihen, oder anders ausgedrückt parallel sowie in Ausrichtung miteinander sowohl in vertikaler als auch in horizontaler Richtung, angeordnet. Die aktiven Bereiche werden zur Bildung aktiver MOS-Transistoren verwendet, die abhängig von ihrer beabsichtigten Verwendung als NMOS- oder PMOS-Typ-FETs dotiert werden können.

Fig. 2 zeigt eine Draufsicht auf eine fertige mehrschichtige Speicheranordnung mit den Hauptaufbau-
blöcken, die Ziffernleitungen bzw. Bitstellenleitungen 11, Wortleitungen 12 sowie eine Speicherknotenplatte 13 eines SIC-Kondensators beinhalten.

Wie in Fig. 3 gezeigt ist, ist mit Silicid 23 und Dielektrikum 24 (entweder Oxid oder Nitrid) bedecktes Polysilizium 22 in ein derartiges Muster gebracht, daß sich Wortleitungen 12 ergeben. Das Silicid 23 kann aus solchen Siliciden, wie Wolframsilicid (WSi_2), Titansilicid ($TiSi_2$) oder dergl. ausgewählt sein. Das Polysilizium 22 ist zur Kombination mit dem Silicid 23 leitfähig dotiert, um dadurch den Leiter für die Wortleitungen 12 zu bilden. Die Wortleitungen 12 sind weiterhin voneinander sowie von nachfolgenden leitfähigen Schichten durch dielektrische Abstandselemente 26 isoliert, die ebenfalls aus Oxid oder Nitrid gebildet sind. Die Wortleitungen 12 sind zuvor über einer dünnen Schicht aus Gate-Oxid 25 oder einer dicken Schicht aus Feld-Oxid 27 niedergeschlagen worden. Die aktiven Bereiche 21 sind in herkömmlichen Verfahrensschritten zweckmäßig zu einem gewünschten Leitfähigkeitstyp dotiert worden, und zwar mit Dotierstoff, der in die Hauptmasse des Siliziumwafers 20 eindringt. Der Wafer ist nun für die Bildung der Ziffernleitungen bereit, die im rechten Winkel über den Wortleitungen 12 verlaufen.

Fig. 4 zeigt die Bildung der Ziffernleitungen 11. Eine konforme Schicht aus Dielektrikum 31 wird über der vorhandenen Waferoberfläche niedergeschlagen, um die zuvor gebildeten aktiven Bereiche 21 von der nachfolgenden Bildung der Ziffernleitungen 11 zu isolieren. Zuerst erfolgt eine Mustergebung und Ätzung von verdeckten Ziffernleitungskontakten durch das Dielektrikum 31 hindurch unter Ermöglichung von Zugang zu den aktiven Bereichen 21 an den gewünschten Stellen, wobei die vergrabenen Ziffernleitungskontakte in der

der Festlegung der verdeckten Ziffernleitungskontakte werden dann die Ziffernleitungen 11 aus den in Muster gebrachten Schichten gebildet, die aus Polysilizium 32, Silicid 33 und Dielektrikum 34 bestehen. Bei dem Dielektrikum 34 kann es sich entweder um Nitrid oder Oxid handeln, und es wird durch chemische Gasphasenabscheidung (CVD) abgeschieden, wobei dies wegen seiner hervorragenden Konformität bevorzugt wird. Das Polysilizium 32 ist zur elektrischen Kopplung mit dem Silicid 33 zuvor leitfähig dotiert worden, um als Leiter für die Ziffernleitungen 11 zu dienen. Das Silicid 33 kann aus solchen Siliciden, wie Wolframsilicid (WSi_2), Titansilicid (TiSi_2) oder dergl. ausgewählt werden. Die Ziffernleitungen 11 verlaufen rechtwinklig zu und über den Oberseiten der in Fig. 3 gezeigten Wortleitungen 12 und sind der Waferoberfläche angepaßt, woraus sich eine wellenformähnliche Topologie ergibt, die sowohl in Ziffernleitungsrichtung als auch in Wortleitungsrichtung verläuft. Nun wird ein zweites Dielektrikum, wie z. B. Nitrid oder Oxid, niedergeschlagen, gefolgt von einem anisotropen Ätzvorgang zur Bildung vertikaler dielektrischer Abstandselemente 35.

Wie in Fig. 5 gezeigt ist, werden die Ziffernleitungen 11 und ihre nachfolgenden Trennschichten dann bis zu einer bevorzugten Dicke von 50 bis 200 nm vorzugsweise durch CVD mit einem Dielektrikum 41 bedeckt. Bei dem Dielektrikum 41 kann es sich je nach dem verwendeten Verfahren ebenfalls um Nitrid oder Oxid handeln. Nach dem Niederschlagen des Dielektrikums 41 wird ein verdeckter bzw. vergrabener Kontakt 42 mit den Ziffernleitungen 11 ausgerichtet, indem der gesamte Waferoberflächenbereich mit Photoresist 43 bedeckt wird. Nach Anwendung einer geeigneten Photomaske erzeugt ein für den vergrabenen Kontakt ausgeführter anisotroper Ätzvorgang eine Öffnung zum Festlegen des Kontakts 42.

Bis zu diesem Punkt ist der Verfahrensablauf demjenigen einer Anordnung mit herkömmlichen Stapelkondensatorzellen gefolgt. Von nun an ist der Herstellungsvorgang neuartig für eine Anordnung mit Speicherkondensatoren vom SIC-Typ.

Wie in Fig. 6 gezeigt ist, ist das Photoresist 43 der Fig. 5 entfernt worden, und es wird eine dicke Schicht aus konformem Polysilizium 51 niedergeschlagen und planar ausgebildet. Die konforme Polysiliziumschicht 51 ist über den vergrabenen Kontakt 42 mit dem aktiven Bereich 21 verbunden. Das Polysilizium 51 wird nun auf den gewünschten Leitfähigkeitstyp, d. h. p-Leitfähigkeit oder n-Leitfähigkeit, dotiert. Nach der Dotierung der Polysiliziumschicht 51 wird eine konforme Schicht aus dickem Oxid 52 vorzugsweise durch CVD niedergeschlagen. Die Dicke der niedergeschlagenen Oxidschicht 52 wird gesteuert, da sie eine wichtige Rolle bei der Bestimmung des Gesamtoberflächenbereichs der später in dem Verfahren fertigzustellenden SIC-Zelle spielt.

Wie in Fig. 7 gezeigt ist, erfolgt eine Mustergebung der Oxidschicht 52, und zwar vorzugsweise in Ausrichtung direkt über den Ziffernleitungen 11, wobei dies durch Anwenden einer geeigneten Photomaske an dem Photoresist 61 sowie durch Wegätzen des freiliegenden Oxids 52 erfolgt.

Wie in Fig. 8 gezeigt ist, ist das Photoresist 61 der Fig. 7 entfernt worden, und es wird eine Schicht aus Oxid vorzugsweise durch CVD niedergeschlagen, wobei dann ein Oxid-Ätzvorgang zur Bildung von Oxid-Abstandselementen 71 erfolgt.

Wie in Fig. 9 gezeigt ist, wird eine Polysiliziumschicht

niedergeschlagen und leitfähig dotiert, um dadurch das dotierte Polysilizium 81 mit dem dotierten Polysilizium 51 zu verbinden.

Wie in Fig. 10 gezeigt ist, erfolgt nach Anwendung einer geeigneten Photomaske an einem Photoresist 91 eine Mustergebung und Ätzung des Polysiliums 81, um dadurch die darunter liegenden, in Fig. 9 dargestellten Oxide 52 und 71 freizulegen. Danach folgt ein Oxid-Naßätzvorgang zum Entfernen des Oxids 52 und der Oxid-Abstandselemente 71. Wie in dieser Ansicht zu sehen ist, wird die Höhe bzw. Dicke, über die sich das Polysilizium 81 von dem Polysilizium 51 nach oben erstreckt, durch die Dicke des zuvor niedergeschlagenen und in ein Muster gebrachten Oxids 52 bestimmt.

Wie in Fig. 11A zu sehen ist, wird an dem Polysilizium 51 ein Polysilizium-Trockenätzvorgang ausgeführt, um die Polysiliziumschichten 51 und 81 in einzelne Polysiliziumstrukturen mit je I-förmigem Querschnitt zu trennen. Jede Struktur dient dann als Polysilizium-Speicherknotenplatte 101 mit Iförmigem Querschnitt. Eine einzelne Polysiliziumplatte 101 verläuft parallel zwischen zwei benachbarten Ziffernleitungen und überspannt drei benachbarte Polysilizium-Wortleitungen (die Wortleitung ist nicht zu sehen, da sie parallel zu der Querschnittsansicht der Fig. 11A verläuft), so daß die Struktur der durch die Ziffernleitungs- und Wortleitungsformationen gebildeten wellenformartigen Topologie entspricht.

Fig. 11B zeigt eine dreidimensionale Ansicht einer fertiggestellten Polysilizium-Speicherknotenplatte 101. Diese Ansicht zeigt, wie der Oberflächenbereich durch Einstellen der Höhe zwischen dem Polysilizium 51 und dem Polysilizium 81 gesteuert wird. Es sei an dieser Stelle nochmals erwähnt, daß diese Höhe durch die Dicke der in Fig. 9 gezeigten, letztendlich entfernten Oxidschicht 52 gesteuert wird.

Wie in Fig. 12 gezeigt ist, wird eine dielektrische Schicht aus Nitrid 111 niedergeschlagen, die der Polysilizium-Speicherknotenplatte 101 angepaßt ist. Das Nitrid 111 dient als Kondensator-Dielektrikum für die SIC-Zelle. Obwohl bei dem bevorzugten Ausführungsbeispiel Nitrid 111 als Kondensator-Dielektrikum ausgewählt wird, könnte auch jegliches anderes Material mit einer hohen Dielektrizitätskonstante verwendet werden, wie z. B. Ta_2O_5 oder SrTiO_3 . Auch können die Nitrid- oder Ta_2O_5 -Schichten oxidiert werden. Nach dem Niederschlagen des Nitrids 111 erfolgt ein Abdeckniederschlag von konformem Polysilizium 112. Je nach dem gewünschten Leitfähigkeitstyp für den aktiven Bereich 21 wird das Polysilizium 112 entweder mit n-Leitfähigkeit oder mit p-Leitfähigkeit dotiert. Das Polysilizium 112 dient nun als obere Polysilizium-Speicherknotenplatte des SIC-Speicherkondensators, wobei sie auch eine gemeinsame Zellenplatte für alle SIC-Speicherkondensatoren in der Anordnung wird. Alle zur Schaffung des SIC-Kondensators verwendeten konformen Polysiliziumschichten werden vorzugsweise durch chemische Gasphasenabscheidung niedergeschlagen, obwohl auch andere konforme Niederschlagsverfahren verwendet werden könnten.

Durch die neuartige Gestalt der Polysilizium-Speicherknotenplatte 101 zusammen mit der die Speicherknotenplatte 101 umschließenden oberen Polysilizium-Kondensatorzellenplatte 112 wird am Speicherknoten in beträchtlichem Ausmaß Kondensatorplattenoberfläche gewonnen. Da die Kapazität in erster Linie durch den Oberflächenbereich bzw. die Oberflächengröße der Zellenplatten bestimmt wird, ist die Kapazität

die durch eine dreidimensionale I-förmige Zellenstruktur zusätzlich gewonnene Fläche einen zusätzlichen 200prozentigen oder höheren Zuwachs der Kapazität gegenüber derjenigen eines herkömmlichen SIC-Kondensators verfügbar machen, ohne daß dafür mehr Raum beansprucht wird als derjenige, der zum Bilden einer Stapelkondensator-Speicherzelle benötigt wird. Bei einer gegebenen Kapazität läßt sich somit eine höhere Dichte erzielen, da die Zellenfläche verkleinert ist.

Patentansprüche

1. Speicherkondensator in einer Halbleitervorrichtung, **gekennzeichnet durch:**
 eine leitfähig dotierte erste Polysiliziumschicht (51) mit einem ersten und einem zweiten Ende, wobei das erste Ende mit einem Speicherknotenanschluß (42) einer Zugriffsvorrichtung Kontakt herstellt und das zweite Ende von einem benachbarten leitfähigen Material durch ein Dielektrikum (41) isoliert ist;
 eine leitfähig dotierte zweite Polysiliziumschicht (81), die an der ersten Polysiliziumschicht (51) anhaftet, so daß eine Speicherknotenplatte (101) mit I-förmigem Querschnitt gebildet ist;
 eine Isolierschicht aus einem Kondensator-Dielektrikum (111), die der Speicherknotenplatte (101) benachbart und mit Ausnahme von Bereichen für die Kontaktstelle (42) an dem ersten Ende und die Isolierung an dem zweiten Ende erstreckungsgleich mit der Speicherknotenplatte (101) ist; und durch eine leitfähig dotierte dritte Polysiliziumschicht (112), die eine Zellenplatte (112) bildet, die eine obere und eine untere Oberfläche aufweist und der Kondensator-Dielektrikumschicht (111) benachbart sowie erstreckungsgleich mit dieser ist.

2. Speicherkondensator nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleitervorrichtung aus der im wesentlichen aus DRAMs und VRAMs bestehenden Gruppe ausgewählt ist.

3. Auf einem Siliziumsubstrat ausgebildete DRAM-Speicheranordnung, gekennzeichnet durch:
 eine Mehrzahl aktiver Bereiche (21), die in parallelen ineinandergreifenden Reihen und parallelen nicht-ineinandergreifenden Spalten angeordnet sind, wobei die aktiven Bereiche (21) durch eine Isoliereinrichtung (27) voneinander getrennt sind und jeder aktive Bereich (21) einen Ziffernleitungsanschluß und einen Speicherknotenanschluß aufweist;
 eine Mehrzahl paralleler leitfähiger Wortleitungen (12), die entlang der Reihen derart ausgerichtet sind, daß ein Ziffernleitungsanschluß und ein Speicherknotenanschluß innerhalb jedes aktiven Bereichs (21) durch eine Wortleitung (12) überbrückt sind, wobei jede Wortleitung (12) von zugeordneten aktiven Bereichen (21) durch eine Gate-Dielektrikumschicht (25) isoliert ist;
 eine Mehrzahl paralleler leitfähiger Ziffernleitungen (11), die entlang der Spalten derart ausgerichtet sind, daß eine Ziffernleitung (11) mit jedem Ziffernleitungsanschluß innerhalb einer Spalte elektrischen Kontakt herstellt, wobei die Ziffernleitungen (11) im rechten Winkel über den Wortleitungen (12) verlaufen und dadurch eine dreidimensionale, wellenformähnliche Topologie gebildet ist, wobei die Ziffernleitungen (11) und die Wortleitungen (12) durch eine Isoliereinrichtung (27) voneinander getrennt sind.

ander getrennt sind; und durch wenigstens einen Speicherkondensator für jeden aktiven Bereich (21), wobei jeder Kondensator eine Speicherknotenplatte (101), die sich in elektrischem Kontakt mit ihrem zugehörigen aktiven Bereich (21) befindet, sowie eine der gesamten Anordnung gemeinsame Zellenplatte (112) aufweist, wobei jede Speicherknotenplatte (101) von der Zellenplatte (112) durch eine kapazitive dielektrische Schicht (111) isoliert ist sowie einen I-förmigen Querschnitt aufweist.

4. Speicheranordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Kondensator aufweist:
 eine leitfähig dotierte erste Polysiliziumschicht (51), die der wellenformähnlichen Topologie mit einer Mehrzahl von Gipfeln und Tälern entspricht sowie ein erstes und ein zweites Ende aufweist, wobei das erste Ende mit dem Speicherknotenanschluß Kontakt (42) herstellt und das zweite Ende von einem benachbarten aktiven Bereich (21) durch dickes Oxid (41) isoliert ist;

eine leitfähig dotierte zweite Polysiliziumschicht (81), die an der ersten Polysiliziumschicht (51) anhaftet, wodurch die Speicherknotenplatte (101) mit I-förmigem Querschnitt gebildet wird;

eine Isolierschicht aus dem Kondensator-Dielektrikum (111), die der Speicherknotenplatte (101) benachbart und mit Ausnahme von Bereichen für die Kontaktstelle an dem ersten Ende und die Isolierung an dem zweiten Ende erstreckungsgleich mit der Speicherknotenplatte (101) ist; und
 eine leitfähig dotierte dritte Polysiliziumschicht (112), die die Zellenplatte (112) bildet, die eine obere und eine untere Oberfläche aufweist sowie der Kondensator-Dielektrikumschicht (111) benachbart sowie erstreckungsgleich mit dieser ist.

5. Verfahren zur Herstellung einer DRAM-Anordnung auf einem Siliziumsubstrat, gekennzeichnet durch folgende Schritte:

- Erzeugen einer Mehrzahl gesondert voneinander isolierter aktiver Bereiche (21), die in parallelen ineinandergreifenden Reihen und parallelen nicht-ineinandergreifenden Spalten angeordnet sind;

- Erzeugen einer Gate-Dielektrikumschicht (25) oben auf jedem aktiven Bereich (21);

- Bilden einer ersten leitfähigen Schicht (22, 23) oben auf der Oberfläche der Anordnung;

- Bilden einer ersten dielektrischen Schicht (24) oben auf der ersten leitfähigen Schicht (22, 23);

- Maskieren und Ätzen der ersten leitfähigen Schicht (22, 23) und der ersten dielektrischen Schicht (24), um eine Mehrzahl von parallelen leitfähigen Wortleitungen (12) zu bilden, die entlang der Reihen derart ausgerichtet sind, daß sich jede Wortleitung (12) über einen inneren Teil jedes aktiven Bereichs (21) erstreckt und davon durch einen Überrest der Gate-Dielektrikumschicht (25) getrennt ist;

- Erzeugen eines leitfähig dotierten Ziffernleitungsanschlusses und eines leitfähig dotierten Speicherknotenanschlusses in jedem aktiven Bereich (21) an entgegengesetzten Seiten jeder Wortleitung (12);

- Bilden von Wortleitungs-Abstandselementen (26) benachbart von Wänden der in ein Muster gebrachten Wortleitungen (12);

(31) oben auf der bestehenden Anordnungsoberfläche;

- Erzeugen einer ersten ausgerichteten vergrabenen Kontaktstelle an jedem Ziffernleistungsanschluß in jedem aktiven Bereich (21); 5
- Bilden einer zweiten leitfähigen Schicht (32, 33) oben auf der bestehenden Anordnungsoberfläche, wobei die zweite leitfähige Schicht (32, 33) an den ersten vergrabenen Kontaktstellen direkten Kontakt mit den Ziffernleistungsanschlüssen herstellt; 10
- Bilden einer dritten dielektrischen Schicht (34) oben auf der zweiten leitfähigen Schicht (32, 33); 15
- Maskieren und Ätzen der zweiten leitfähigen Schicht (32, 33) und der dritten dielektrischen Schicht (34) zur Bildung einer Mehrzahl von parallelen leitfähigen Ziffernleitungen (11), die so entlang der Spalten ausgerichtet sind, daß eine Ziffernleitung (11) bei jedem Ziffernleistungsanschluß in einer Spalte elektrischen Kontakt herstellt, wobei die Ziffernleitungen (11) unter Bildung einer dreidimensionalen, wellenformähnlichen Topologie senkrecht zu und über den Wortleitungen (12) verlaufen; 20 25
- Bilden von Ziffernleistungs-Abstandselementen (35) benachbart von Wänden der in ein Muster gebrachten Ziffernleitungen (11);
- Bilden einer dritten dielektrischen Schicht (41) oben auf der Anordnungsoberfläche der wellenformähnlichen Topologie; 30
- Erzeugen einer zweiten ausgerichteten vergrabenen Kontaktstelle (42) bei jeden Speicherknotenanschluß in jedem aktiven Bereich (21); 35
- Bilden einer dritten leitfähigen Schicht (51) oben auf der Anordnungsoberfläche, die in Abhängigkeit von der bestehenden Topologie die wellenformähnliche Topologie annimmt, wobei die dritte leitfähige Schicht (51) bei den zweiten vergrabenen Kontaktstellen (42) Kontakt zu den Speicherknotenanschlüssen herstellt; 40
- Entfernen eines Teils der dritten leitfähigen Schicht (51) unter Bildung einer halbplanaren Oberfläche der dritten leitfähigen Schicht (51); 45
- Bilden einer vierten dielektrischen Schicht (52) oben auf der dritten leitfähigen Schicht (51); 50
- Bilden von dielektrischen Mustern (52) aus der vierten dielektrischen Schicht (52), wobei die dielektrischen Muster direkt über den Ziffernleitungen (11) ausgerichtet sind;
- Bilden einer fünften dielektrischen Schicht (71) oben auf den dielektrischen Mustern (52) und auf der freiliegenden dritten leitfähigen Schicht (51); 55
- Ätzen der fünften dielektrischen Schicht (71) unter Bildung dielektrischer Abstandselemente (71) benachbart den dielektrischen Mustern (52), wobei beim Ätzen der Abstandselemente (71) ein Teil der dritten leitfähigen Schicht (51) wieder freigelegt wird; 60
- Bilden einer vierten leitfähigen Schicht (81) 65
- oben auf den dielektrischen Mustern (52) und den dielektrischen Abstandselementen (71),

Oberfläche der wieder freigelegten dritten leitfähigen Schicht (51) anhaftet;

- Maskieren und Ätzen der vierten leitfähigen Schicht (81), wobei durch das Ätzen das darunterliegende Dielektrikum (52) freigelegt wird;
 - Entfernen des freigelegten darunterliegenden Dielektrikums (52) und der dielektrischen Abstandselemente (71) unter Freilegung der dritten leitfähigen Schicht (51);
 - Entfernen eines Teils der freigelegten dritten leitfähigen Schicht unter Bildung einzelner leitfähiger Speicherknotenplatten (101) mit I-förmigem Querschnitt;
 - Bilden einer Zellen-Dielektrikum-Schicht (111) angrenzend an sowie erstreckungsgleich mit der Speicherknotenplatte (101) sowie angrenzend an die Anordnungsoberfläche; und durch
 - Bilden einer fünften leitfähigen Schicht (112) angrenzend an sowie erstreckungsgleich mit der Zellen-Dielektrikum-Schicht (111) zur Bildung einer für die gesamte Speicheranordnung gemeinsamen Zellenplatte (112).
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die erste leitfähige Schicht (22, 23) und die zweite leitfähige Schicht (32, 33) eine Schicht aus Silicid und dotiertem Polysilizium aufweisen.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Silicidschicht aus der im wesentlichen aus Wolframsilicid und Titansilicid bestehenden Gruppe ausgewählt ist.
8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die erste (24), die zweite (34) und die dritte (41) dielektrische Schicht aus der im wesentlichen aus Oxid oder Nitrid bestehenden Gruppe ausgewählt werden.
9. Verfahren nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß es sich bei der dritten (41), der vierten (52) und der fünften (71) dielektrischen Schicht und der Gate-Dielektrikumschicht (25) um Oxidschichten handelt.
10. Verfahren nach einem der Ansprüche 5 bis 9, dadurch gekennzeichnet, daß die dritte (51), die vierte (81) und die fünfte (112) leitfähige Schicht aus dotiertem Polysilizium bestehen.
11. Verfahren zur Herstellung eines DRAM-Speicherkondensators auf einem Siliziumsubstrat (20) mit aktiven Bereichen (21), Wortleitungen (12) und Ziffernleitungen (11), gekennzeichnet durch folgende Schritte:
- Bilden einer ersten dielektrischen Schicht (41) auf der bestehenden Oberfläche des Siliziumsubstrats (20), wobei die erste dielektrische Schicht (41) der vorhandenen Topologie entspricht;
 - Maskieren und Ätzen einer ausgerichteten vergrabenen Kontaktstelle (42) unter Ermöglichung eines Zugangs zu einem leitfähig dotierten Speicherknotenanschluß;
 - Bilden einer ersten leitfähigen Schicht (51) oben auf der dielektrischen Schicht und der Zugangsstelle (42) zu dem vergrabenen Kontakt, die dadurch in Abhängigkeit von der bestehenden Topologie die wellenformähnliche Topologie annimmt, wobei die dritte leitfähige

nen Kontaktstellen (42) Kontakt zu den Speicherknotenanschlüssen herstellt;

- Entfernen eines Teils der ersten leitfähigen Schicht (51) unter Bildung einer halbplanaren Oberfläche der ersten leitfähigen Schicht (51);
- Bilden einer zweiten dielektrischen Schicht (52) oben auf der ersten leitfähigen Schicht (51);

- Bilden von dielektrischen Mustern (52) aus der zweiten dielektrischen Schicht (52), wobei die dielektrischen Muster (52) direkt über den Ziffernleitungen ausgerichtet sind;

- Bilden einer dritten dielektrischen Schicht (71) oben auf den dielektrischen Mustern (72) und den freiliegenden Bereichen der ersten leitfähigen Schicht (51);

- Bilden dielektrischer Abstandselemente (71) benachbart den dielektrischen Mustern (52) aus der dritten dielektrischen Schicht (71), wobei durch das Ätzen der Abstandselemente ein Teil der ersten leitfähigen Schicht (51) wieder freigelegt wird;

- Bilden einer zweiten leitfähigen Schicht (81) oben auf den dielektrischen Mustern (52) und den dielektrischen Abstandselementen (71), wobei die zweite leitfähige Schicht (81) an der Oberfläche der wieder freigelegten ersten leitfähigen Schicht (51) anhaftet;

- Maskieren und Ätzen der zweiten leitfähigen Schicht (81), wobei bei dem Ätzen das darunterliegende Dielektrikum (52) freigelegt wird;

- Entfernen des freigelegten darunterliegenden Dielektrikums (52) und der dielektrischen Abstandselemente (71) unter Freilegung eines Teils der ersten leitfähigen Schicht (51);

- Entfernen eines Teils der freigelegten ersten leitfähigen Schicht (51) unter Schaffung einzelner leitfähiger Speicherknotenplatten (101) mit I-förmigem Querschnitt;

- Bilden einer Zellen-Dielektrikum-Schicht (111) angrenzend an sowie erstreckungsgleich mit der Speicherknotenplatte (101); und durch

- Bilden einer dritten leitfähigen Schicht (112) angrenzend an sowie erstreckungsgleich mit der Zellen-Dielektrikum-Schicht (111) zur Bildung einer Zellenplatte (112) des Speicherkondensators.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß es sich bei der ersten (41), der zweiten (52) und der dritten (71) dielektrischen Schicht um Oxidschichten handelt.

13. Verfahren nach Anspruch 5 und 11, dadurch gekennzeichnet, daß alle vergrabenen Kontakte selbstausgerichtet sind.

14. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, daß die erste (51), die zweite (81) und die dritte (112) leitfähige Schicht aus dotiertem Polysilizium bestehen.

15. Verfahren nach Anspruch 10 und 14, dadurch gekennzeichnet, daß das dotierte Polysilizium durch chemische Gasphasenabscheidung niedergeschlagen wird.

16. Verfahren nach Anspruch 5 und 11, dadurch gekennzeichnet, daß alle dielektrischen Schichten durch chemische Gasphasenabscheidung niedergeschlagen werden.

17. Verfahren nach Anspruch 5 und 11, dadurch

gekennzeichnet, daß die Zellen-Dielektrikum-Schicht (111) aus der im wesentlichen aus Nitrid, oxidiertem Nitrid, Ta_2O_5 , oxidiertem Ta_2O_5 und $SrTiO_3$ bestehenden Gruppe ausgewählt wird.

Hierzu 13 Seite(n) Zeichnungen

BEST AVAILABLE COPY

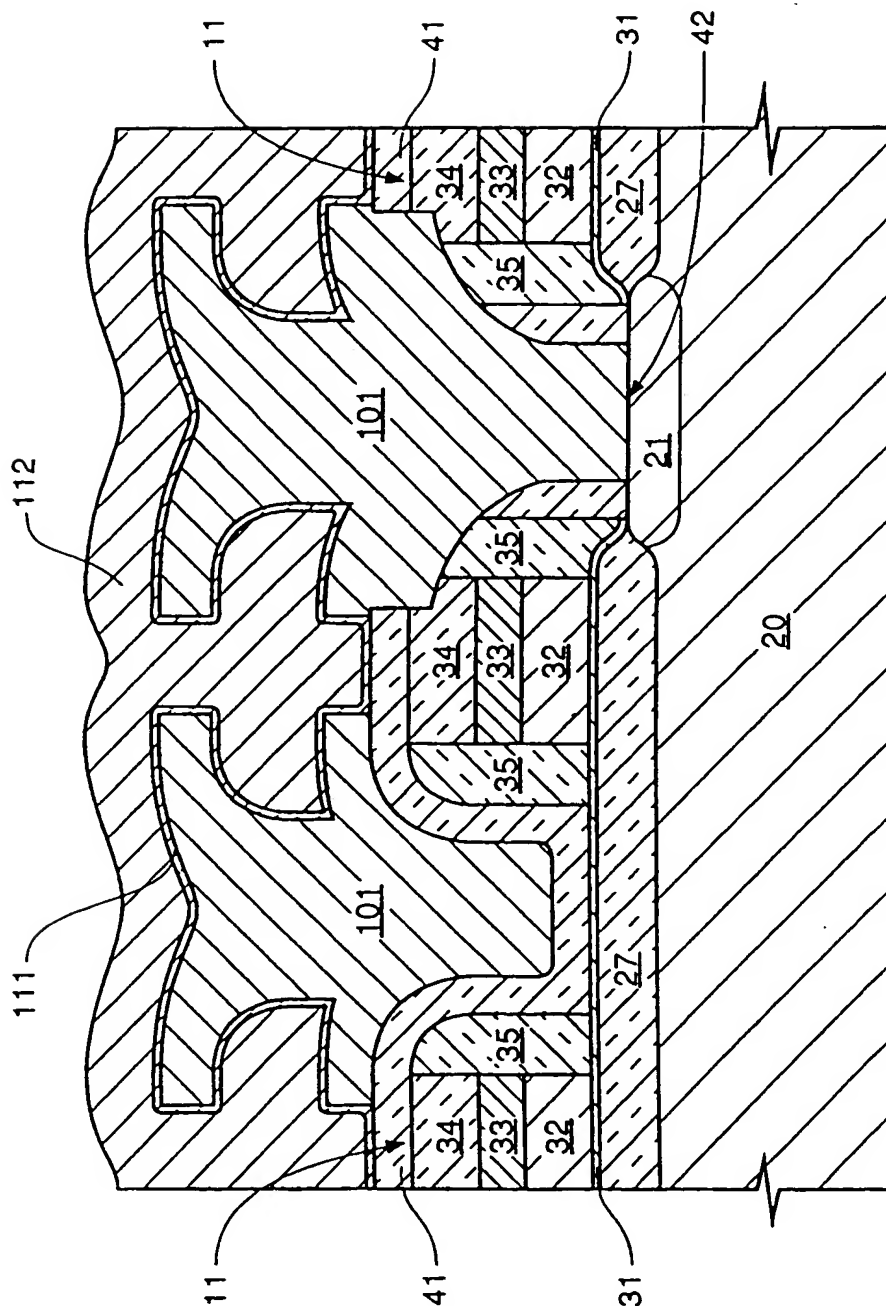


FIG. 1

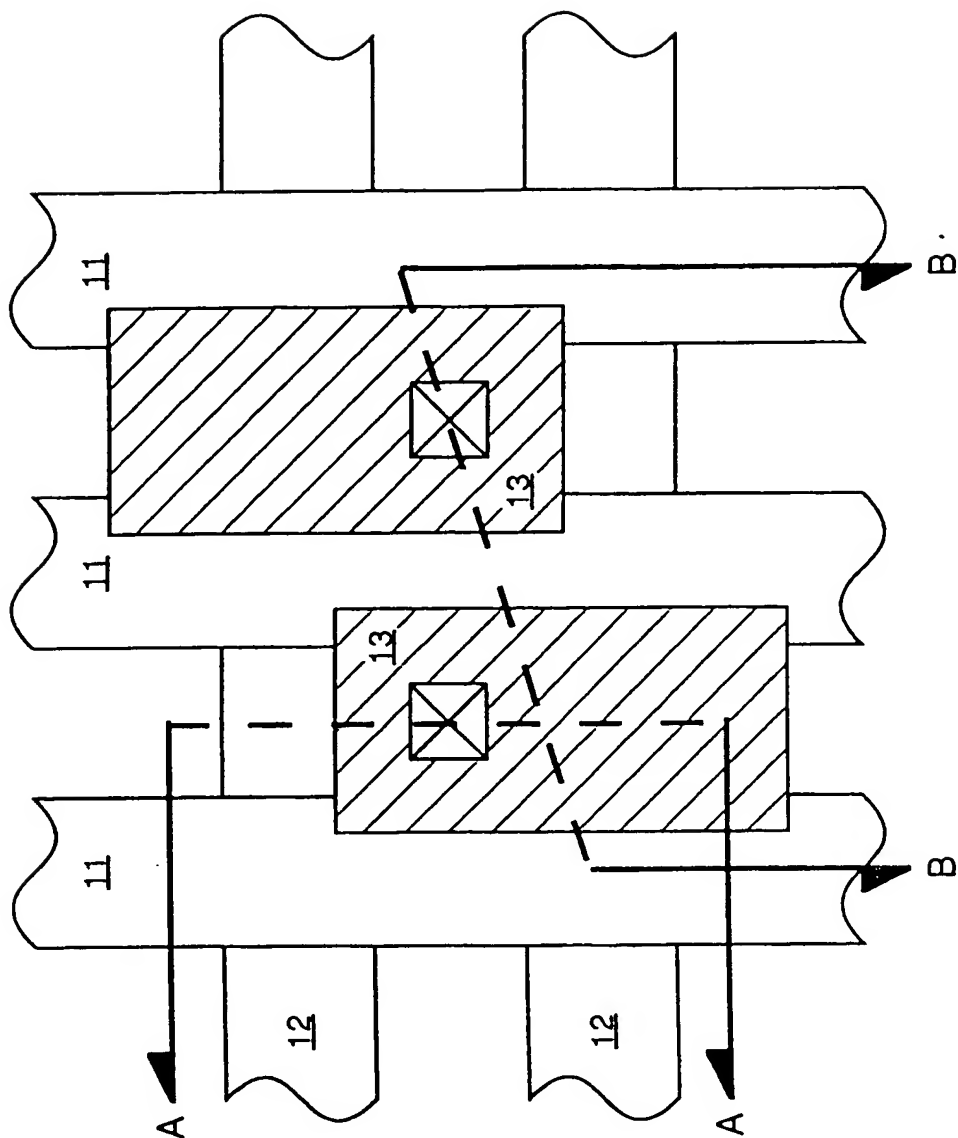


FIG. 2

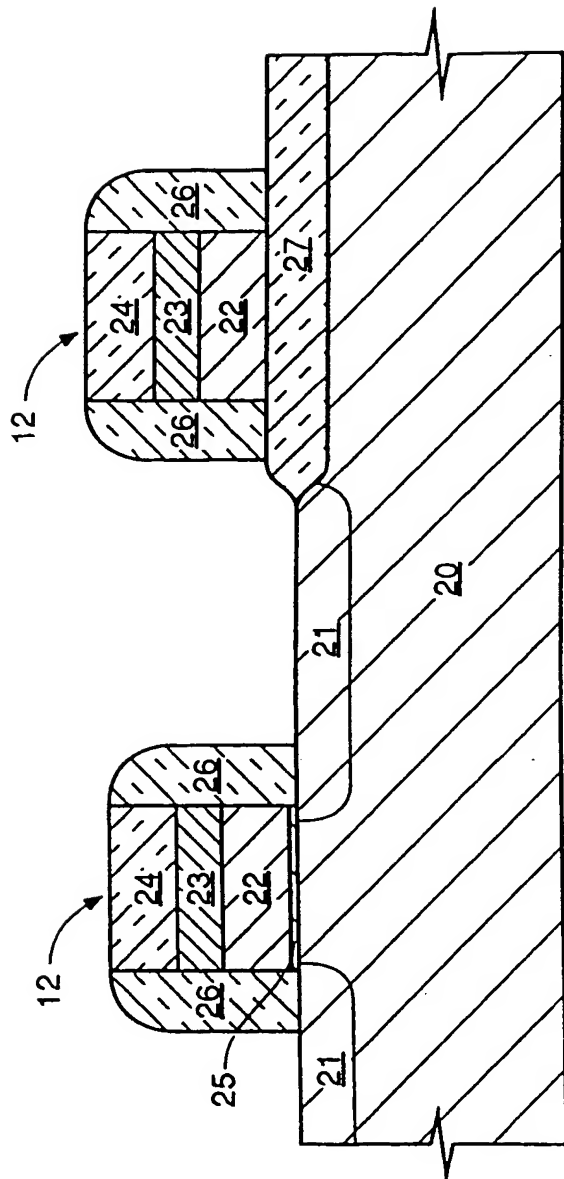


FIG. 3

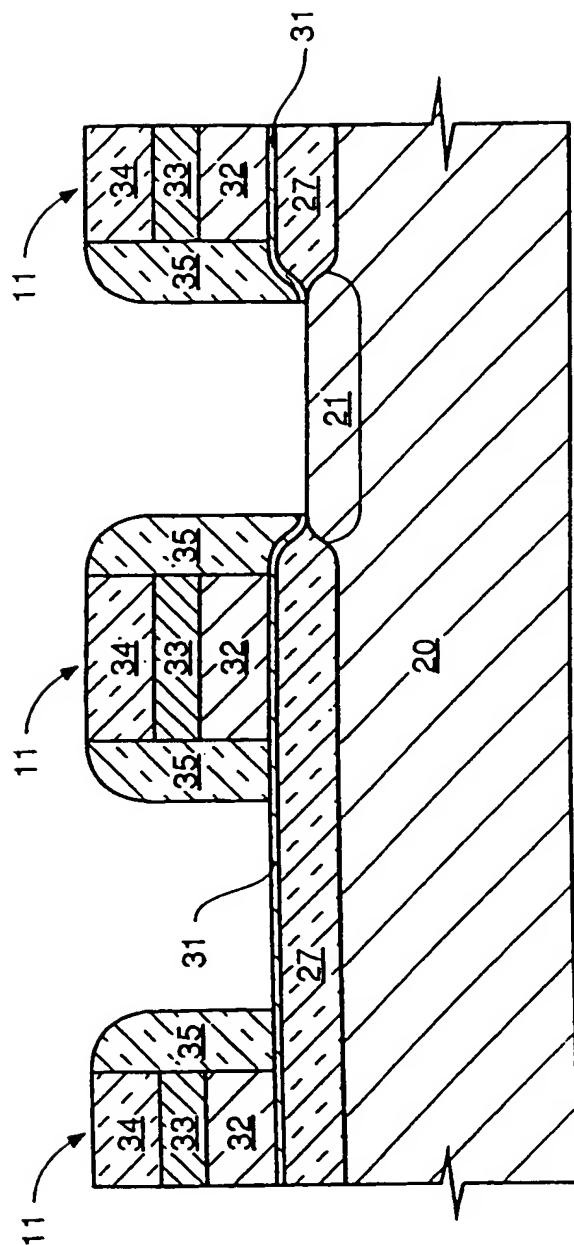


FIG. 4

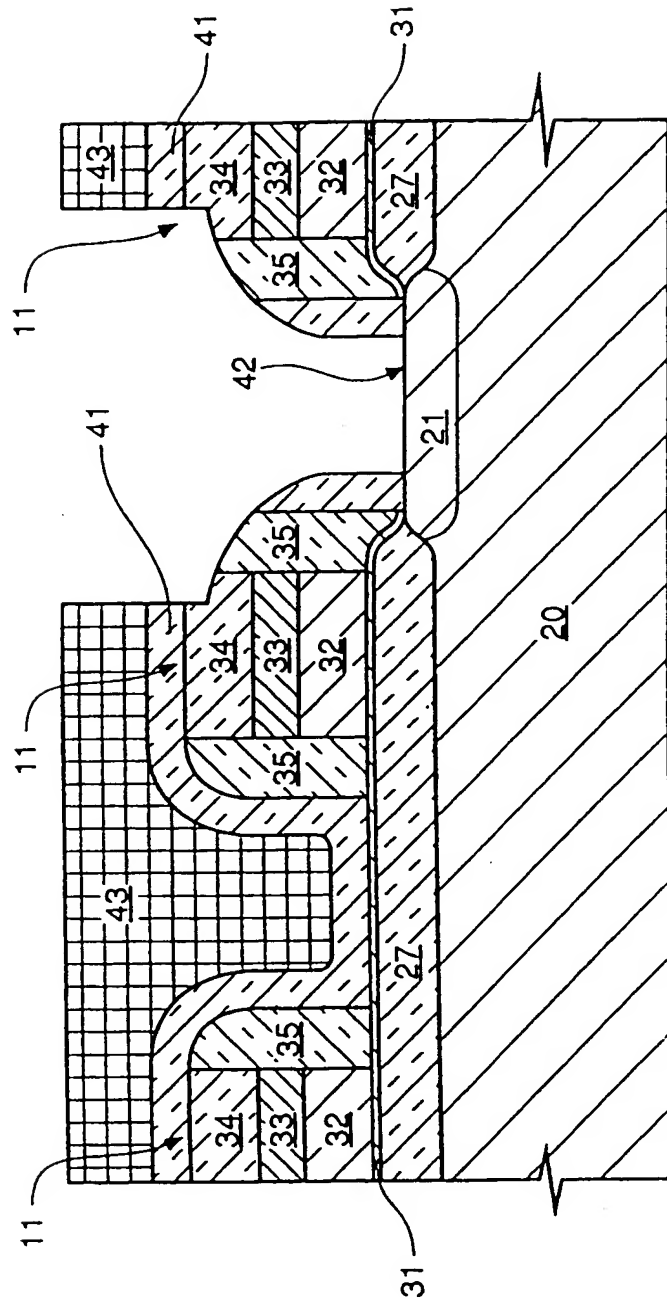


FIG. 5

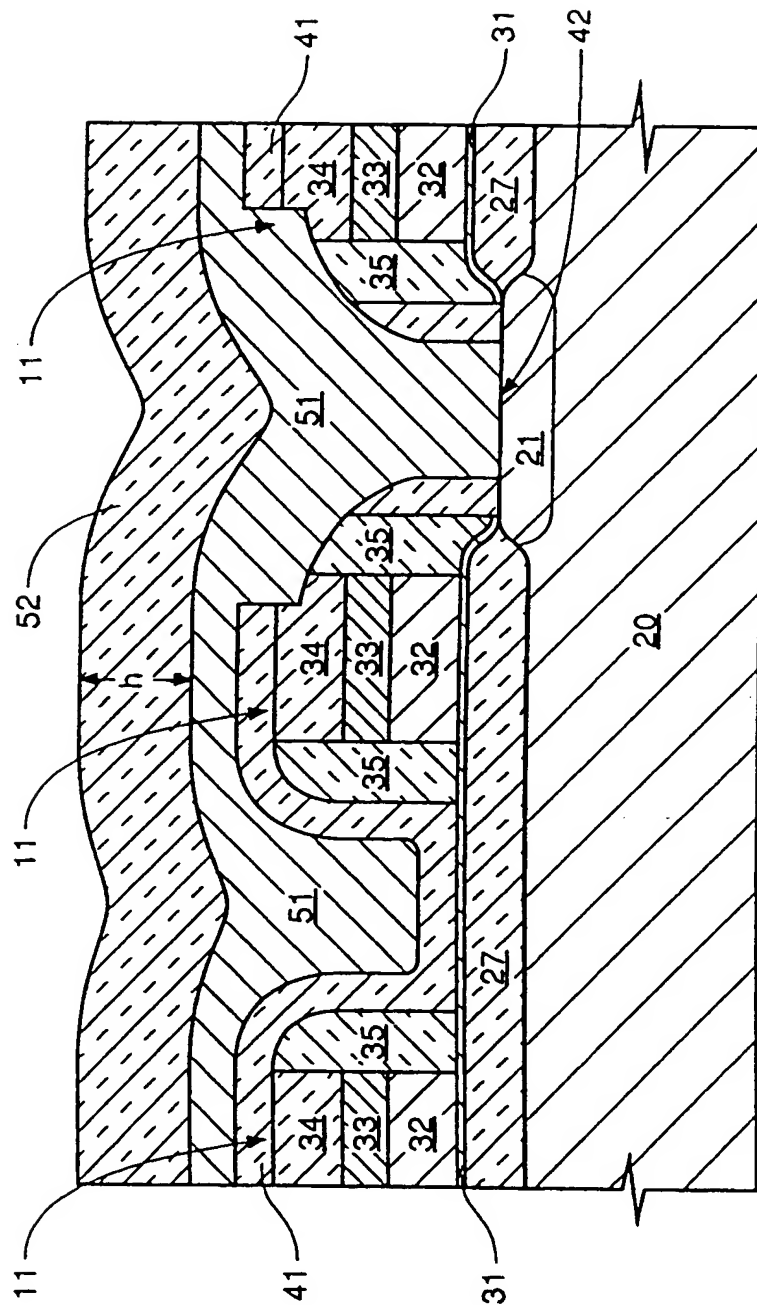


FIG. 6

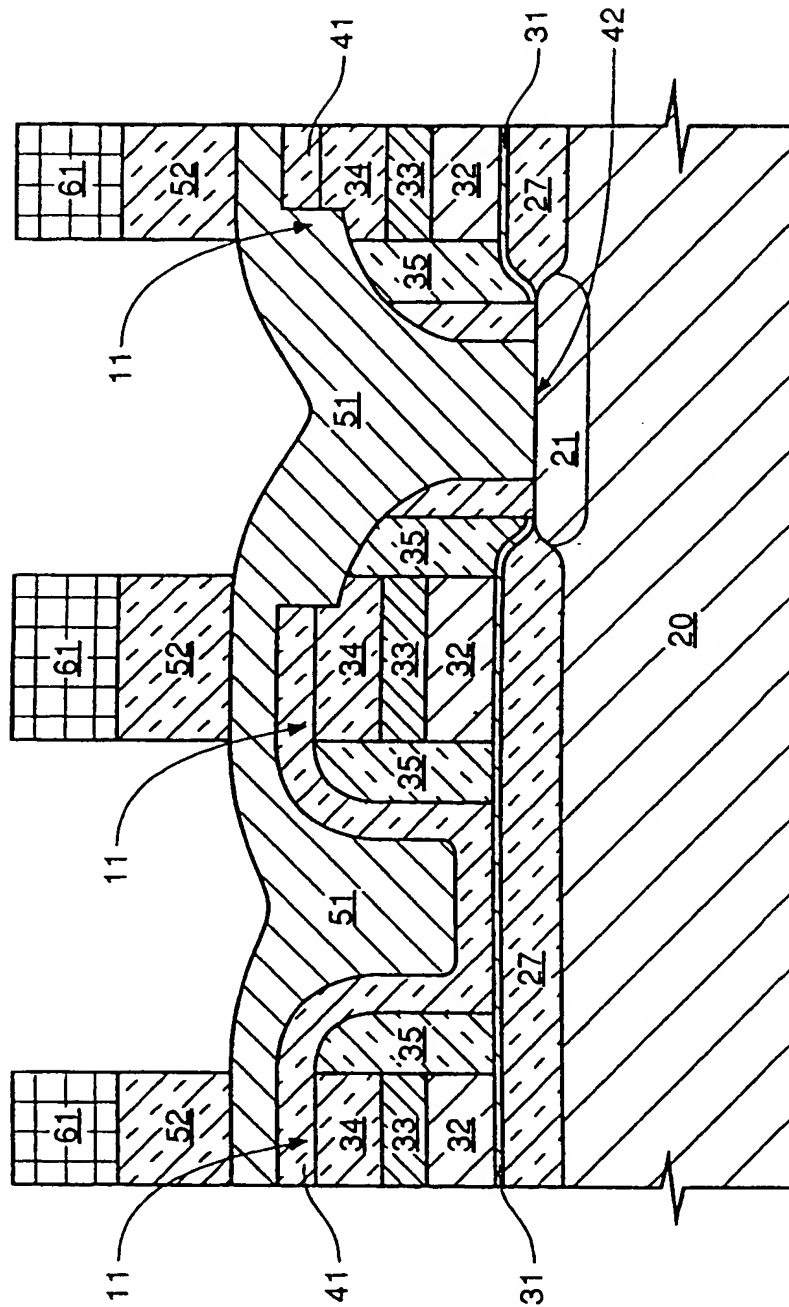


FIG. 7

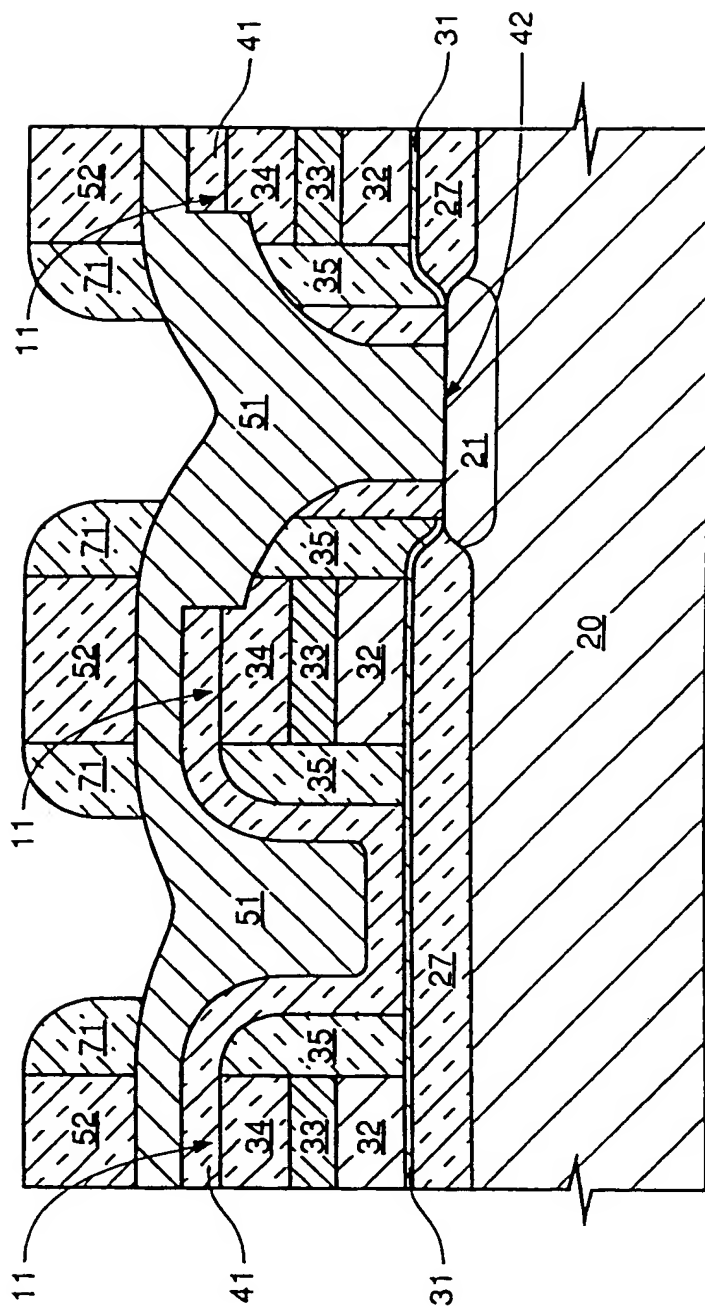


FIG. 8

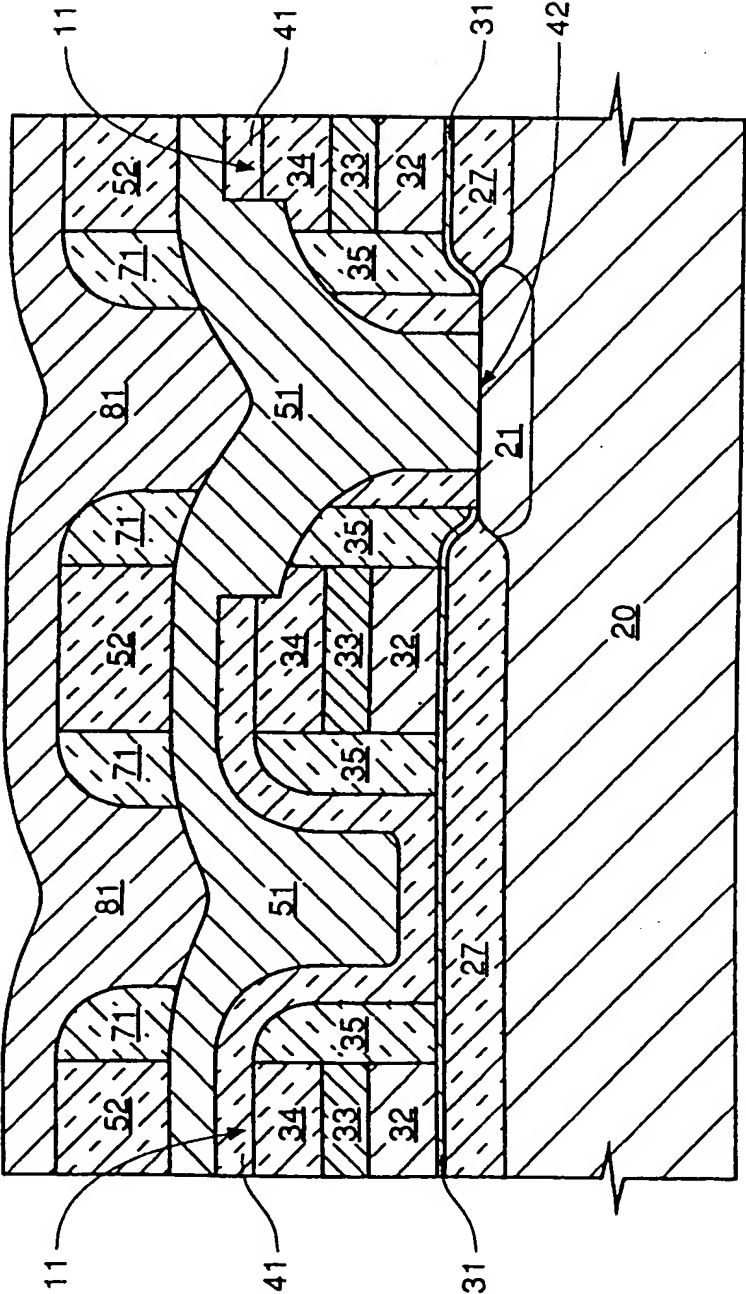


FIG. 9

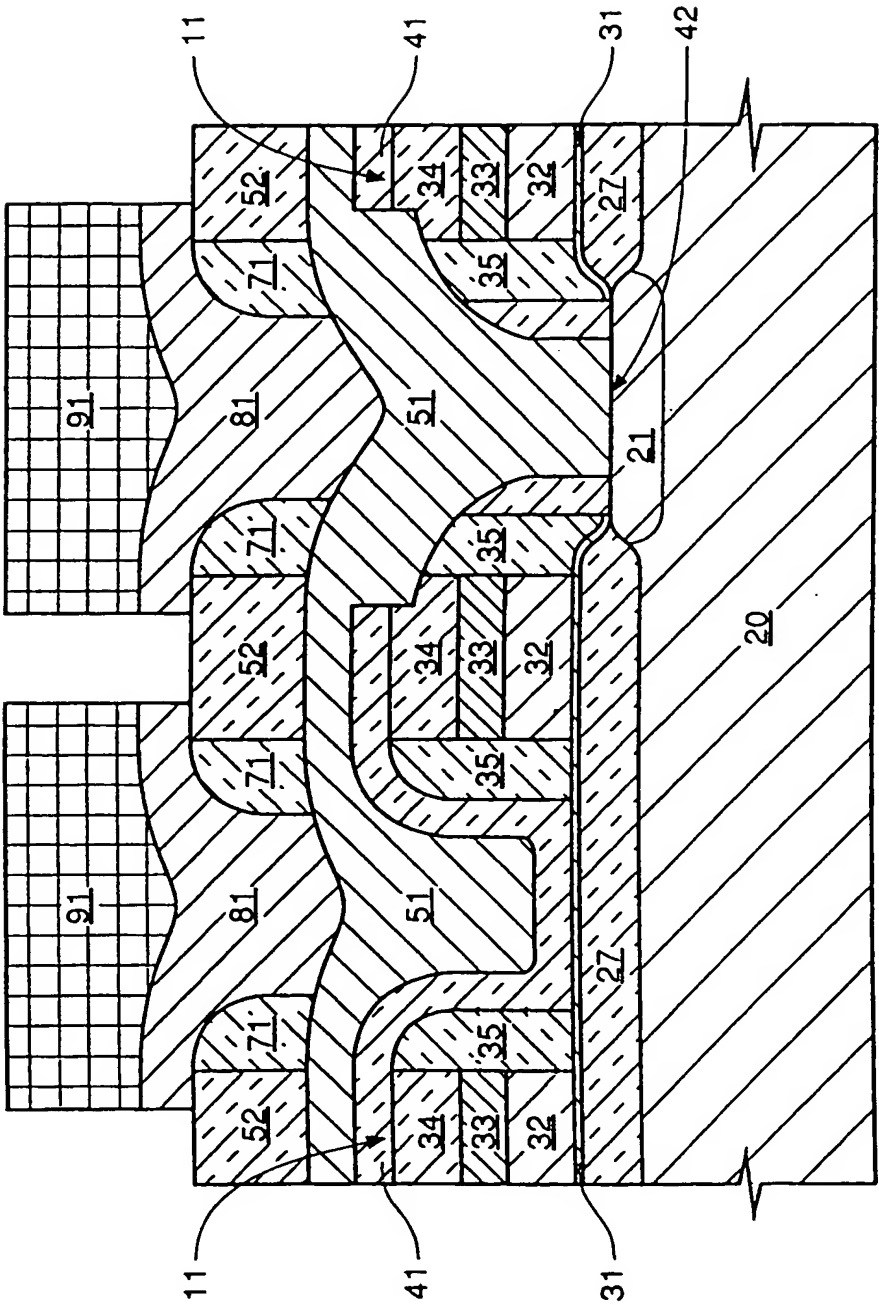


FIG. 10

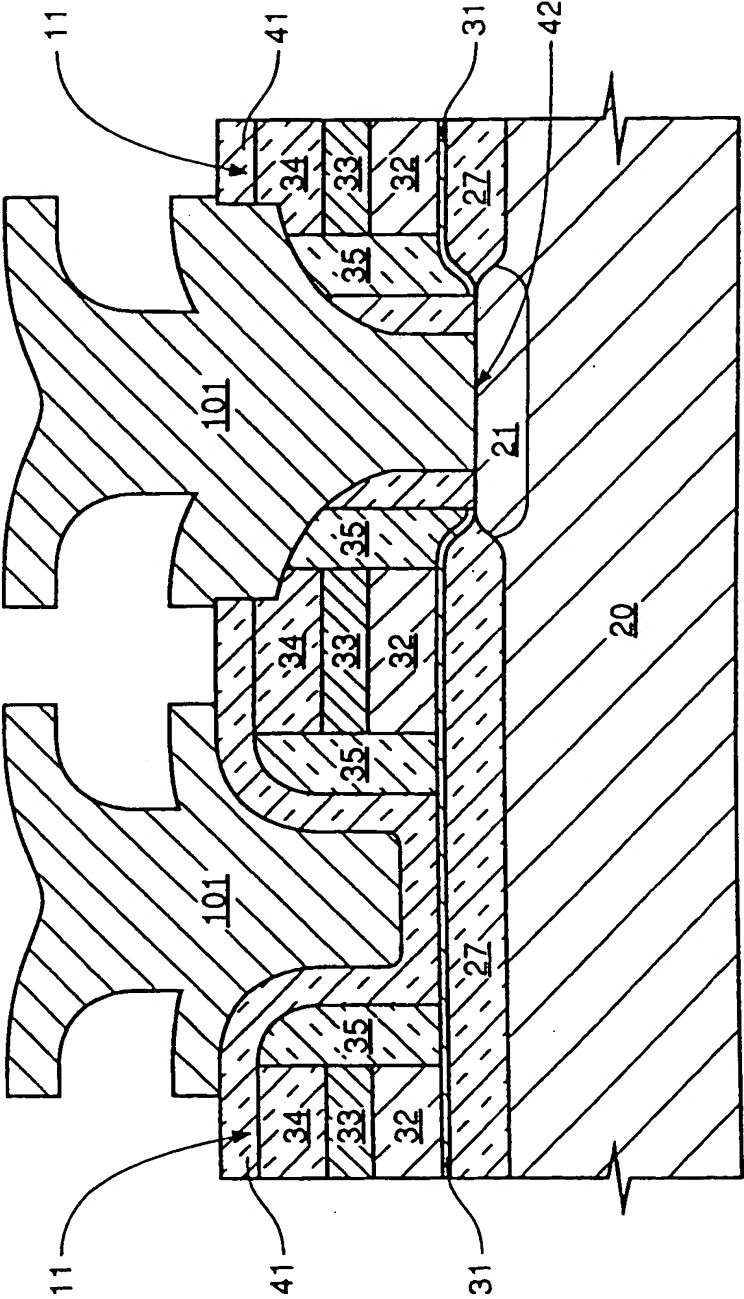


FIG. 11A

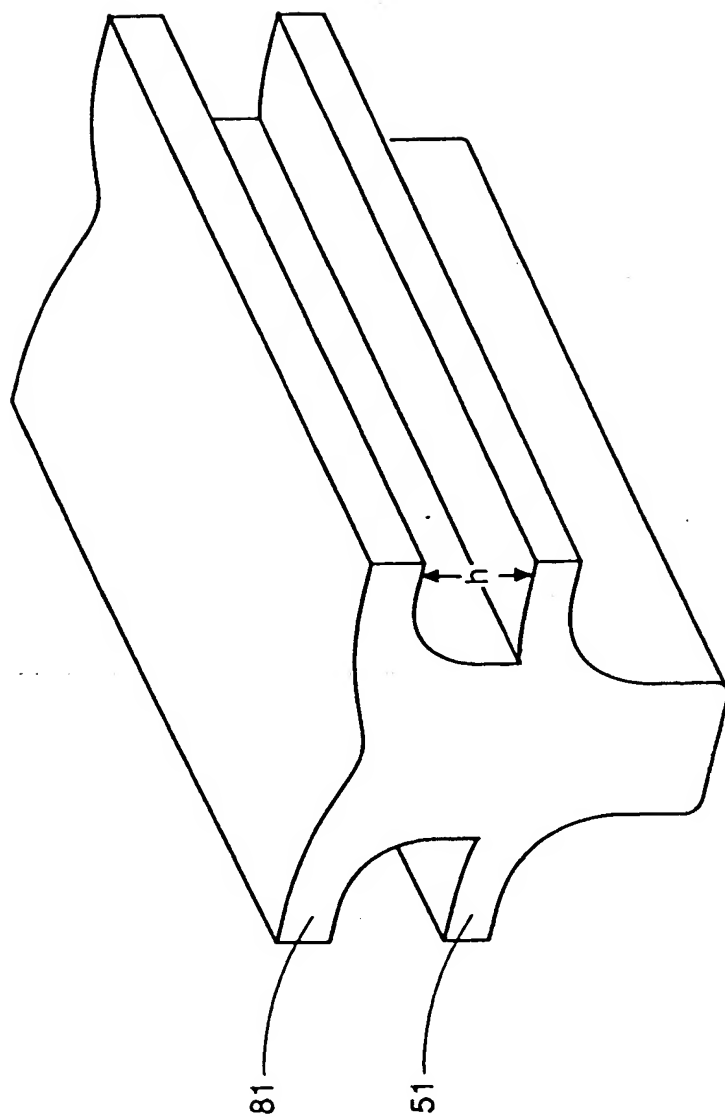


FIG. 11B

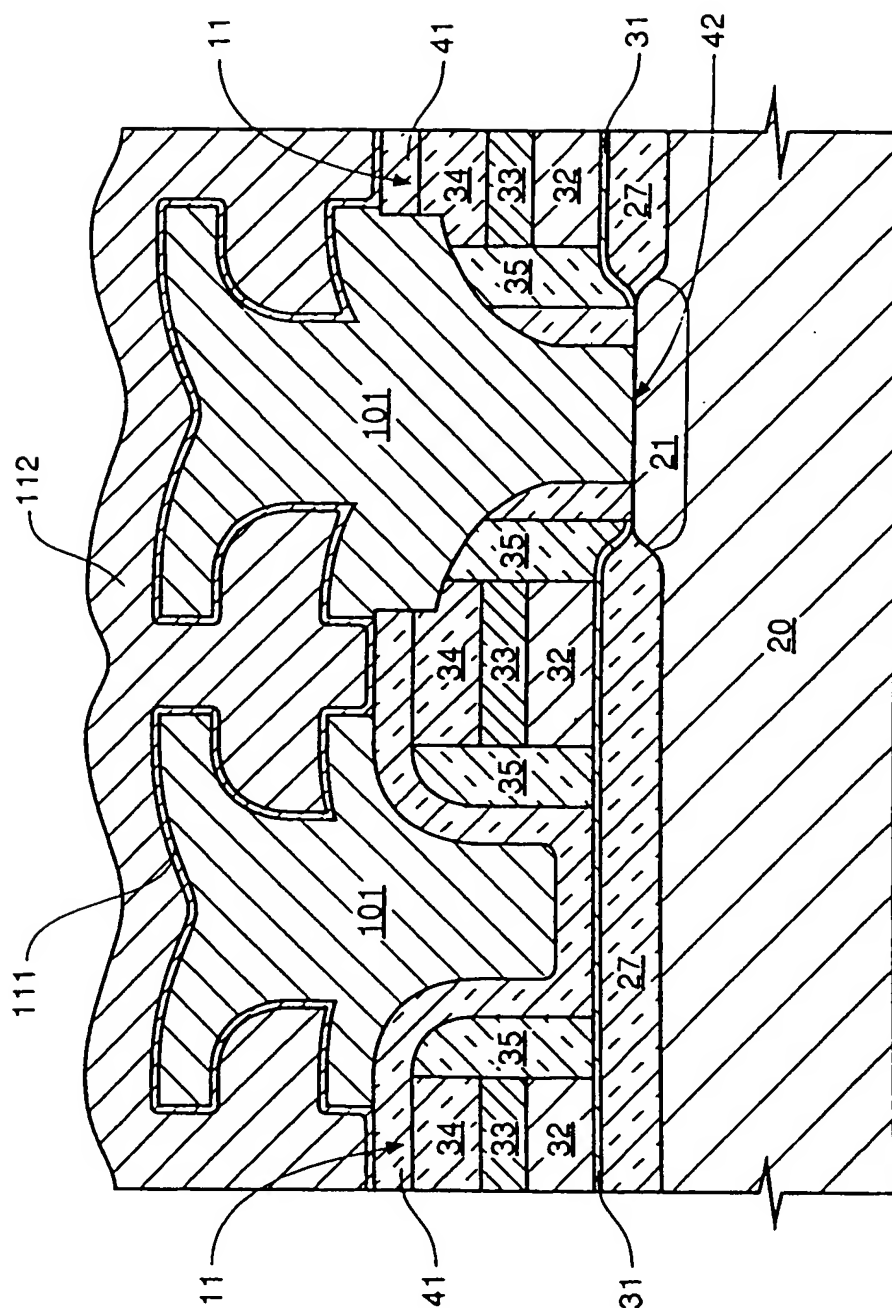


FIG. 12